

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60241277
PUBLICATION DATE : 30-11-85

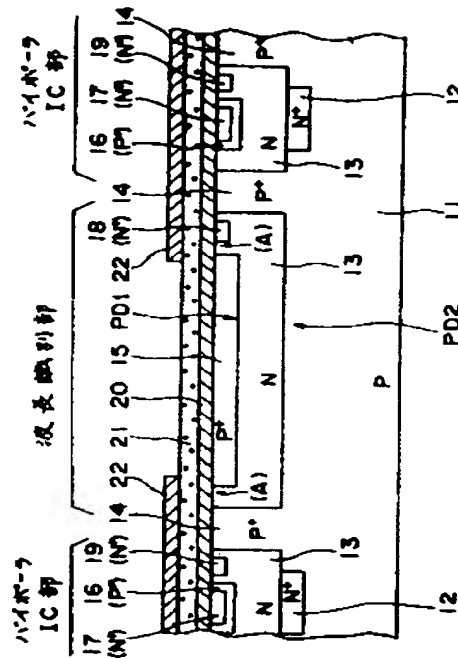
APPLICATION DATE : 15-05-84
APPLICATION NUMBER : 59098029

APPLICANT : SHARP CORP;

INVENTOR : NISHIMOTO NOBUHIRO;

INT.CL. : H01L 31/10 H01L 27/14

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To obtain high reliability by a method wherein a wavelength discrimination element made of the series reverse-connection of two photodiodes is made integral with a signal processing circuit.

CONSTITUTION: The wavelength discrimination element is constructed by reversely connecting two photodiodes PD1 and PD2 in series. The photodiode PD1 consists of a P⁺ type layer 15 and an N type layer 13, and the photodiode PD2 consists of a P type substrate 11 and the layer 13. When light is absorbed to a point B, the distribution of photocurrent to PD1 and PD2 becomes reversely proportional to the distance to the P⁺ type layers 14 and 15. The transistor of a bipolar IC part consists of the signal processing circuit by the formation of an N⁺ type layer 17, an N type epitaxial layer 13, and N⁺ type regions 18 and 19.

COPYRIGHT: (C)1985,JPO&Japio

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60-241277

⑤ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)11月30日

H 01 L 31/10
27/14

6666-5F
7525-5F

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭59-98029

⑰ 出 願 昭59(1984)5月15日

⑱ 発 明 者	吉 川 俊 文	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	久 保 勝	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	鍵 沢 篤	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑱ 発 明 者	西 本 宜 弘	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑰ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑲ 代 理 人	弁理士 青山 蓼	外2名	

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 二個のホトダイオードを直列に逆接続した構造を有する波長識別素子と、この波長識別素子からの信号を処理する信号処理回路とを一体化し、且つ、波長識別素子の受光部以外の表面を金属層で被覆したことを特徴とする半導体装置。

(2) 特許請求の範囲第1項に記載された半導体装置において、

上記の波長識別素子が、基板とこの基板に接して形成したコレクタ層とからなるホトダイオードと、このコレクタ層とこれに接して形成した半導体層とからなるホトダイオードとから構成されることを特徴とする半導体装置。

(3) 特許請求の範囲第1項に記載された半導体装置において、

上記の波長識別素子が、基板に形成したコレクタ層とこれに接して形成した第一の半導体層とからなるホトダイオードと、この第一の半導体層とこれに接して形成した第二の半導体層とからなるホトダイオードとから構成されることを特徴とする半導体装置。

らなるホトダイオードと、この第一の半導体層とこれに接して形成した第二の半導体層とからなるホトダイオードとから構成されることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、波長識別素子と信号処理回路を一体化した受光素子に関する。

(従来技術)

第6図と第7図に示すようなダブルジャンクション型の波長識別素子は、以下に説明するように、広い波長領域で波長を識別できる。第6図において、P型基板1に、N型エピタキシャル層2とP⁺型分離領域3、3とを形成し、さらに、N型エピタキシャル層2に、P⁺型領域4とN⁺型電極コンタクト用領域5とを形成する。電極端子a, b, cを、それぞれ、P型基板1, P⁺型領域4, N⁺型領域5に接続する。

第7図は、この波長識別素子の等価回路図である。2つのホトダイオードPD1, PD2が形成

特開昭60-241277 (2)

とさがかさばるといった不具合があった。

(発明の目的)

本発明の目的は、波長識別素子と信号処理回路とを一体化した受光素子を提供することである。

(発明の構成)

本発明に係る半導体装置は、二個のホトダイオードを直列に逆接続した構造を有する波長識別素子と、この波長識別素子からの信号を処理する信号処理回路とを一体化し、且つ、波長識別素子の受光部以外の表面を金属層で被覆したことを特徴とする。

本発明に係る波長識別素子は、基板とこの基板に接して形成したコレクタ層とからなるホトダイオードと、このコレクタ層とこれに接して形成した半導体層とからなるホトダイオードとから構成されることもでき、また、基板に形成したコレクタ層とこれに接して形成した第一の半導体層とからなるホトダイオードと、この第一の半導体層とこれに接して形成した第二の半導体層とからなるホトダイオードとから構成されることもできる。

されている。PD1は短波長側に、PD2は長波長側に感度が高い。第8図は、それぞれのホトダイオードの相対的な光感度(すなわち、光電流値)の波長依存性の一例を示す。第9図は、PD2の光電流値のPD1の光電流値に対する比(I_{sc2}/I_{sc1})を実線で示す。この光電流比は波長に対し、1対1に対応する。

第10図は、信号処理回路の一例である。対数変換回路7a、7bは、それぞれPD1とPD2の光電流を対数に変換し、減算回路8に出力する。減算回路8は、両対数値の差を出力電圧 V_o として出力する。すなわち、

$$V_o = B \cdot \log(I_{sc2}/I_{sc1})$$

ここに、Bは定数である。 V_o の値は、第9図に実線で示される。したがって、 V_o の値から、受光した光の波長が識別できる。

ところで、従来は、上記の回路は、波長識別素子と信号処理回路とを組み合わせて構成されていた。このため、接続部分が多く、また、外部回路からのノイズを拾いやすい。また、回路全体の大

(作 用)

本発明により、波長識別素子と信号処理回路とが一体化され、高信頼性を有する小型の波長識別用半導体装置を提供できる。

(実 施 例)

第1図は、本発明による実施例の図式的な部分断面図である。P型基板11に波長識別部を除いてN⁺型埋込層12、12、…を形成する。次に、N型エピタキシャル層13、13、…とP⁺型分離領域14、14、…を形成する。次に、N型エピタキシャル層13、13、…に、P⁺型領域15、16、16、…を形成し、さらに、そこに、バイポーラIC部のトランジスタにおいては、N⁺型層(エミッタ)17、17、…を形成する。さらに、N型エピタキシャル層13、13、…に、N⁺型領域18、19、19、…を形成する。さらに表面は、SiO₂層20で被覆されており、図示しないが、A₁配線を行う。その上は、ポリイミド系樹脂21で被覆され、そして、波長識別部の受光部(P⁺型層15の周辺以外の部分)を除いて、さ

に第2のA₂被覆層22で被覆される。

第1図に示した実施例では、波長識別部には、N⁺型埋込拡散を施していない。N⁺型埋込層を設けてもよいが、感度はやや低下する。

波長識別部は、第6図と第7図とに示した波長識別素子と同様の構造を有し、二個のホトダイオードPD1、PD2を直列に逆接続した波長識別素子を構成している。ホトダイオードPD1は、P⁺型層15とN型層13とから構成され、もう一個のホトダイオードPD2は、P型基板11とN型層13とから構成される。A₁被覆層22は、P⁺型層15の周辺のN型領域13(特にAで示す部分)を遮光している。Aで示す部分を拡大した第2図において、点Bに光が吸収されると、PD1とPD2への光電流の分配は、P⁺型層14、15への距離 d_1 、 d_2 に逆比例する(第2図参照)。

第1図において、光が部分Aに均一に照射されると、光電流は、ほぼ1対1に分配される。この結果、二個のホトダイオードの相対的感度は、中央部に光が照射された場合と大きく異なり、たとえ

特開昭60-241277(3)

ば、第9図の破線のようになる。また、入射光がスポットの場合、照射の場所により、相対的感度がばらつく。したがって、A₂被覆層22による遮光は、正しい相対的感度を得るのに役立つ。なお、A₂被覆層22はP⁺型拡散層15の周囲まで延長した方が効果は確実である。

また、A₂被覆層22は、バイポーラIC部を遮光する。このため、バイポーラIC部の信号処理回路への入射光の影響は低減でき、信号処理精度の向上に役立つ。

ところで、波長識別素子の特性は、N型層13とP⁺型領域15の深さで決定される。通常、N型エピタキシャル層13の厚さは、5～20μmであり、P⁺型拡散層15の厚みは、0.1～5μm程度である。第1図に示した実施例においては、N型層13とP⁺型層15とは、共に、バイポーラIC部の対応する部分と同時に形成されている。

波長識別素子の特性をバイポーラIC部と独立に決定するには、波長識別素子のP⁺型領域15

を別に形成すればよい。たとえば、P⁺型領域15を、P⁺型分離領域14、14、…の形成途中で形成すれば、P⁺型領域15の拡散深さは大きくなり、第9図に示す光感度比は、横軸(波長)に対して、全体に右側(長波長側)へ移る。一方、通常のP⁺型層(ベース)16の形成工程の途中で、又は、N⁺型層(エミッタ)17の形成工程の途中で又は後で、波長識別部のP⁺型領域15を形成すれば、その拡散深さは小さくなり、第9図に示す光感度比は、逆に左側に移る。さらには、波長識別部のP⁺型領域15のみをイオン注入で形成すると、波長識別の特性の選択の自由度が、さらに増加する。また、不純物濃度を小さくでき、拡散深さを大きくできるので、ホトダイオードの低容量化にも役立つ。

ところで、短波長における波長識別を主に利用する場合は、長波長での感度の低下が望ましい。第3図は、このための実施例の図式的な部分断面図を示す。第1図に示した実施例に比した場合の特徴は、波長識別部のP⁺型領域15を、バイポ

ーラIC部のP⁺型領域(ベース)16、16、…と独立にイオン注入で形成し、さらに、内部にN⁺型領域23を形成したことである。遮光用のA₂被覆層22は、N⁺型領域23の周辺まで被覆する。ホトダイオードPD1、PD2は、それぞれ、N⁺型層23とP⁺型領域15とから、P⁺型領域15とN型層13とから形成される。この方式を用いると、P⁺型領域15の拡散深さを任意に進べる有利さがある。また、イオン注入を用いると不純物濃度が小さくできるので、PD1での光の照射により発生したキャリアの寿命が長く、光感度を大きくできるし、また、PD1の容量を小さくできるので、応答性に優れている。

なお、N⁺型層23もイオン注入で形成すると、波長識別特性の自由度がさらに大きくなり、また、PD1の低容量化がはかれる。

第4図は、第3図に示した波長識別部のホトダイオードPD1とPD2の相対的光感度(光電流値)の波長特性(分光感度特性)の一例を示し、第5図は、光感度比(I_{sc1}/I_{sc2})の波長依存性を

示す。

さらに、第3図に示す波長識別部の構造を用いると、第10図に示した信号処理回路の基準電位Dを接地でき、信号処理回路の安定性を改善できる。

(発明の効果)

本発明により、波長識別素子と信号処理回路とを一体化できるので、回路全体を小型化できる。また、接点数が減少し、外部回路からのノイズも拾いにくくなり、信頼性が向上する。

また、波長識別用の半導体装置を安価に提供できる。

4. 図面の簡単な説明

第1図は、本発明による実施例の図式的な部分断面図である。

第2図は、第1図の部分拡大図である。

第3図は、本発明による第2の実施例の図式的な部分断面図である。

第4図は、相対的光感度の波長依存性を示すグラフである。

特開昭60-241277 (4)

第5図は、光感度比の波長依存性を示すグラフである。

第6図は、波長識別素子の図式的な断面図である。

第7図は、第6図に示した波長識別素子の等価回路図である。

第8図は、第6図に示した波長識別素子の相対光感度のグラフである。

第9図は、光感度比のグラフである。

第10図は、信号処理回路と波長識別素子の回路図である。

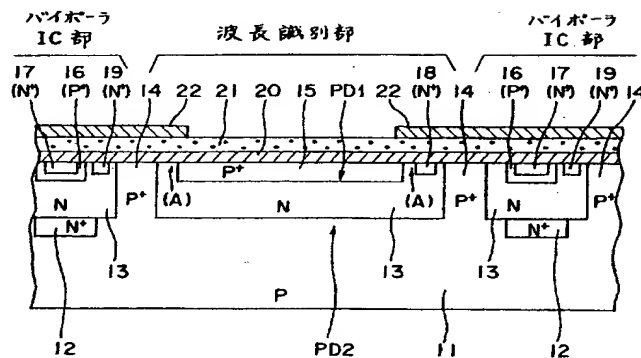
20…SiO₂層、 21…ポリイミド樹脂層、
22…A層被覆層、 23…N⁺型層。

特 許 出 願 人 シャープ株式会社

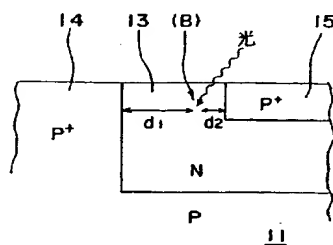
代 理 人 弁理士 青山 茂ほか2名

- 1…P型基板、 2…N型エピタキシャル層、
3、3…P⁺型分離領域、 4…P⁺型領域、
5…N⁺型領域、 7b、7b…対数変換回路、
8…減算回路、 11…P型基板、
12、12、…N⁺型埋込層、
13、13、…N型エピタキシャル層、
14、14、…P⁺型分離領域、
15、16、16、…P⁺型領域、
17、17、…18、19、19…N⁺型領域、

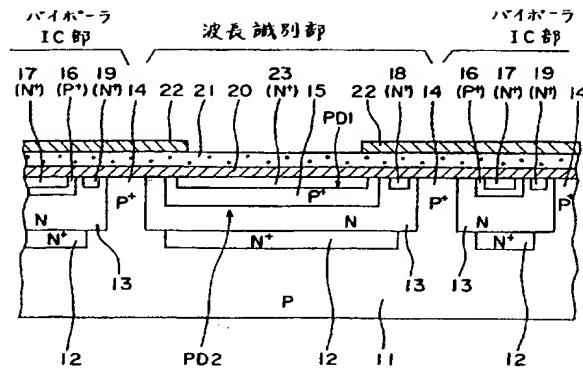
第 1 図



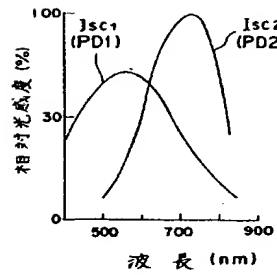
第 2 図



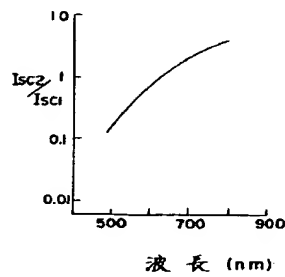
第3図



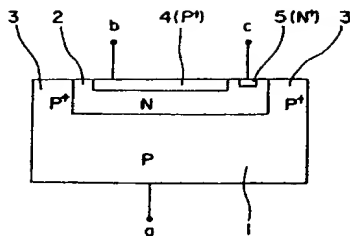
第4図



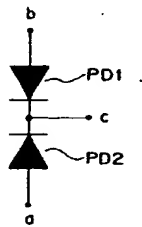
第5図



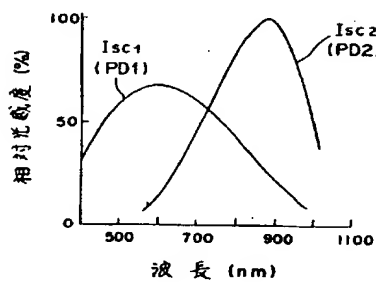
第6図



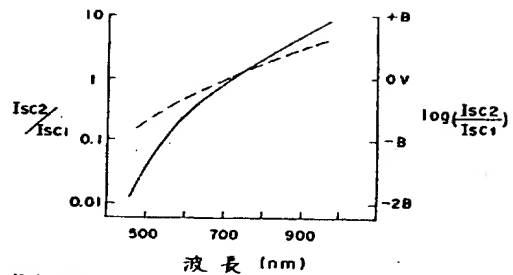
第7図



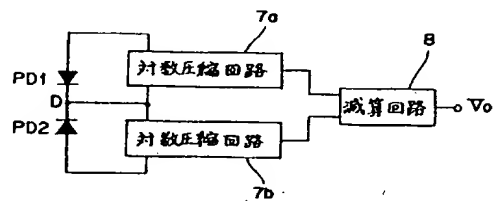
第8図



第9図



第10図



THIS PAGE BLANK (USPTO)